שלום משה

עדכון לגבי מה שנעשה עד כה:

על מנת להקטין את זמני הסימולציה רצינו תחילה לשנות את המערכת כדי שתתמוך ברזולוציה קטנה יותר מ640x480. נתקלנו בבעיה בשינוי ה-generics בלבד ובארי סייע לנו. הוא נתן פתרון זמני שאמור לתמוך בתמונה בגודל 128x96 (רזולוציה שרירותית שבחרנו).

הפתרון עבד עבור תמונה ביחס דחיסה מקסימלי, ולא עבד ביחד דחיסה של 1:1. בארי מכיר את הבעיה ואמור לעדכן אותך בנושא. בנוסף בארי אמר שאם ניפטר מהדחיסה (נייצר קובץ טקסט ללא "חזרות") ונעדכן את החומרה (ניוון display manager) המערכת אמורה לעבוד. ניסינו לעשות זאת וקיבלנו FATAL ERROR בסימולציה.

# \*\* Note: Time: 201063471 ps, Opening file h:/uart\_tx\_1.txt

# Time: 201063471 ps Iteration: 1 Instance: /mds\_top\_tb/uart\_gen\_inst

# \*\* Note: Time: 27069349797 ps, uart\_tx\_gen\_model from file: End transmission from h:/uart\_tx\_1.txt

# Time: 27069349797 ps Iteration: 1 Instance: /mds\_top\_tb/uart\_gen\_inst

# \*\* Fatal: (vsim-3421) Value 12288 is out of range 0 to 12287.

# Time: 27069723750 ps Iteration: 0 Process: /mds\_top\_tb/mds\_top\_inst/mem\_mng\_inst/mem\_ctrl\_wr\_inst/sum\_wr\_cnt\_proc File: H:/image-rotation-technion-ee/VHDL/Design/Memory/Memory\_Management/Mem\_Ctrl\_Wr/mem\_ctrl\_wr.vhd

# Fatal error in Process sum\_wr\_cnt\_proc at H:/image-rotation-technion-ee/VHDL/Design/Memory/Memory\_Management/Mem\_Ctrl\_Wr/mem\_ctrl\_wr.vhd line 817

#

# HDL call sequence:

# Stopped at H:/image-rotation-technion-ee/VHDL/Design/Memory/Memory\_Management/Mem\_Ctrl\_Wr/mem\_ctrl\_wr.vhd 817 Process sum\_wr\_cnt\_proc

#

לא הצלחנו לחשוב מה הפתרון או השלב הבא, שכן אין לנו דרך לדעת איפה הבעיה בהרצה של המערכת עם תמונת קלט קטנה (רזולוציה לא נכונה, חוסר תאימות של גורמים אחרים במע' שאנו לא מכירים וכו').

* בצענו עדכון של מערכת הGUI ליצירת קובץ בהתאם לדרישות הפרוייקט שלנו,כעת הGUI מייצר קובץ טקסט שמפרק את התמונה לpackets בהתאם לפרוטוקול הUART.
* MC900391480.WMFהתחלנו בניוון ה- display manager- העלמנו את הפורס תמונה, חיווטנו מחדש את הבלוק כך שה- fifo מחובר ישירות ל- dc fifo:

VGA

Display

- 133 MHz

- 40 MHz

Frame

Reg

Disp. Reg

WBS

Display Controller

Hsync,

VSync

8 bit

8 bit

Dual Clk FIFO

Flush

Synthetic

Pic. Gen

MUX

**WBM**

Pixel Manager

(Req for Data)

req\_ln\_trig

& Pixels, VSync

VESA

Ctrl.

FIFO

Flush

ולהלן הבעיות/שאלות:

* לפי בארי אנחנו אמורים להתערב גם ב- pixel manager, אך מהתבוננות שלנו בקוד, לא ברור כיצד לבצע את השינוי, ומדוע בכלל ישנו צורך- אנו מבינים ש-pixel manager רק מקבל מידע מהזיכרון ויוזם טרנסאקציות, ולא מטפל במידע עצמו. אם אנו לא מבינים את אופן הפעולה כראוי- נשמח אם תוכל לחדד לנו את הנושא.
* נכון לעכשיו, לפי ההבנה שלנו, המערכת לא תוכל לתמוך בתמונת ברזולוציות שונות מ- 640x480, ומכאן שיש לנו קושי בביצוע סימולציות (זמני הרצה ארוכים במיוחד).
* בעבודה עם תמונת קלט ברזולוציה תקינה (640x480) כאמור זמני ההרצה ארוכים והתוצאה המתקבלת היא תמונת פלט שחורה לאחר כחצי שעת סימולציה (2000 msec)

מכאן אנו מסיקים שכנראה שהשינויים שעשינו אינם מספיקים ודרושים התאמות נוספות.

מקווים שנצליח לפתור את זה בסופ"ש